

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

2)

Veröffentlichungsnummer JP2000260864

Veröffentlichungsdatum: 2000-09-22

Erfinder: YAMADA MASAKI; SHIBATA HIDEKI

Anmelder: TOKYO SHIBAURA ELECTRIC CO

Klassifikation:

- Internationale: **H01L23/522; H01L21/768; H01L23/52; H01L21/70; (IPC1-7): H01L21/768**

- Europäische:

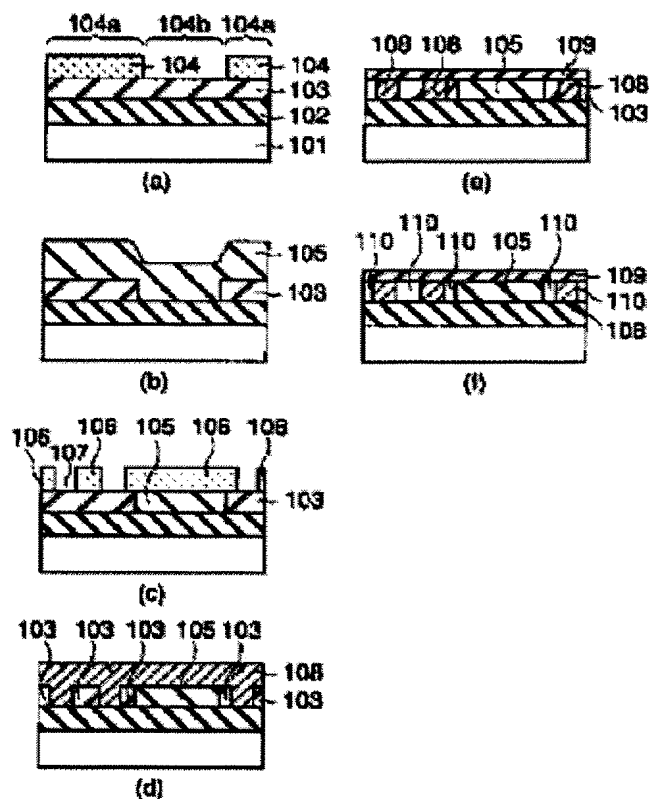
Anmeldenummer: JP19990066298 19990312

Prioritätsnummer(n): JP19990066298 19990312

Datenfehler hier melden

Zusammenfassung von JP2000260864

PROBLEM TO BE SOLVED: To reduce an inter-wiring capacity for improved mechanical strength by providing a depletion region and a region of an insulating film between wirings formed in the same wiring layers. **SOLUTION:** On a main surface side of a semiconductor substrate 101, an insulating separation film 102 and a carbon film 103 are deposited, and a resist 104 is coated on the carbon film 103 for patterning. The carbon film is worked with the resist pattern 104 as a mask, and then the resist 104 is removed and an SOG film 105 is coated over the entire substrate surface. The SOG film 105 on the carbon film 103 is removed and a resist 106 is coated for patterning, forming a groove pattern 107. After a wiring groove is formed at a carbon film 3, an aluminum-copper alloy film 108 is deposited. A cavity 110 is formed in the region beside the aluminum-copper alloy film 108, over which a support insulating film 109 is deposited over the entire substrate surface.



Daten sind von der **esp@cenet** Datenbank verfügbar - Worldwide

2)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-260864
(P2000-260864A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

テーマコード* (参考)

N 5 F 0 3 3

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平11-66298

(22) 出願日

平成11年3月12日 (1999.3.12)

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

山田 雅基

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者

柴田 英毅

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人

100058479

弁理士 鈴江 武彦 (外6名)

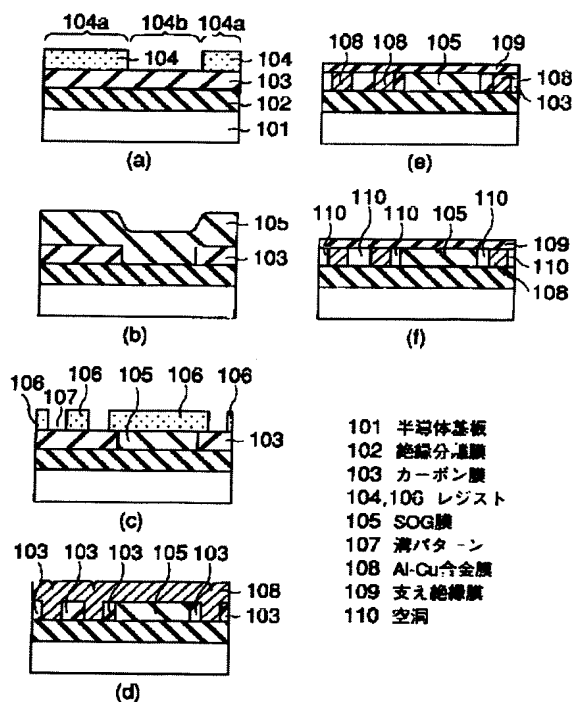
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 配線間容量を低減することができ、しかも機械的強度に優れた半導体装置を得る。

【解決手段】 同一配線層に形成された配線108間に、空洞領域110と絶縁膜からなる領域105とが設けられている。



【特許請求の範囲】

【請求項1】同一配線層に形成された配線間に、空洞領域と絶縁膜からなる領域とが設けられていることを特徴とする半導体装置。

【請求項2】前記空洞領域は、同一配線層に形成された互いに隣接する配線間の領域のうち少なくとも配線に近い側の領域に設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体基板の主面側の配線層に配線を形成するとともに配線間の領域に絶縁膜及び空洞形成用材料膜を形成する工程と、前記空洞形成用材料膜を選択的に除去して空洞領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】異なる配線層間に、空洞領域と絶縁膜からなる領域とが設けられていることを特徴とする半導体装置。

【請求項5】前記空洞領域は、異なる配線層に形成された対向する配線間に対応する領域に設けられていることを特徴とする請求項4に記載の半導体装置。

【請求項6】半導体基板の主面側の第1の配線層に第1の配線を形成する工程と、前記第1の配線が形成された層の上層側に絶縁膜及び空洞形成用材料膜を形成する工程と、少なくとも前記絶縁膜が形成された層の上層側の第2の配線層に第2の配線を形成する工程と、前記第2の配線を形成する工程の前又は後に前記空洞形成用材料膜を選択的に除去して空洞領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にその配線技術に関するものである。

【0002】

【従来の技術】近年、コンピュータや通信機器の重要部分には大規模集積回路（LSI）が多用されており、このLSI単体の性能向上が機器全体の高性能化を達成するキーポイントとなっている。LSI単体の性能を向上させるためには、集積度を高めること、つまり素子を微細化することが重要である。

【0003】しかし、素子の微細化が極端に進むと、配線間の容量及び配線抵抗が増大するため、LSIの性能（高速動作など）を向上させることが容易ではなくなる。従って、マイクロプロセッサなどの高速動作が要求されるLSIの性能を向上させるためには、集積回路の内部配線の寄生抵抗及び寄生容量を減少させることが不可欠である。

【0004】内部配線の寄生抵抗の減少は、抵抗率が低い材料を用いて内部配線を構成することにより達成できる。現在では、アルミニウム合金に比べて抵抗率が30%以上低い銅を内部配線に用いることが一部で実用化されている。

【0005】一方、内部配線の寄生容量としては、次の二つがあげられる。第1は、同一の配線層（配線レベル）に存在する配線間に生じる容量、すなわち左右の配線間に生じる容量である。この容量は、配線間の間隔を広げること或いは配線の厚さを減らすことにより減少させることが可能である。第2は、異なる配線層に存在する配線間に生じる容量、すなわち上下の配線間に生じる容量である。この容量は、下側の配線上に形成される層間絶縁膜の厚さを増すことにより減少させることが可能である。

【0006】しかし、配線間隔を広げると素子の集積度を低下させることになり、配線の厚さを減らすと配線抵抗が増大することになる。また、層間絶縁膜の厚さを増すことも多層配線においては総膜厚の増大につながる。

【0007】現在では、内部配線の寄生容量を減少させるために、比誘電率の低い絶縁膜を使用することが行われている。例えば、フッ素を含むプラズマTEOS膜は比誘電率が約3.3であり、フッ素を含まないTEOS膜に比べて比誘電率を約15%減少させることができる。しかし、集積度の向上に伴い、低誘電率の絶縁膜を用いてもLSIの性能向上を十分に達成できなくなっている。

【0008】そこで、近年、同一配線層（配線レイヤ）に存在する配線間の領域を空洞にすることで、配線間の寄生容量を低減する試みがなされている。この技術は、予め配線間にカーボン膜を充填しておき、このカーボン膜を配線間を橋渡しする絶縁膜を通してガス化することにより、配線間を空洞にするものである。

【0009】しかし、上述した同一配線層に存在する配線間の領域を空洞化する技術では、次のような問題が生じる。第1は、配線間隔の広い領域を橋渡しする支え用の絶縁膜がたわみ、上層側の配線がショートする等の問題である。この問題は、カーボン膜をガス化した後、支え用の絶縁膜の強度が弱くなり、自重や上層側の膜の重さに耐えられなくなるという、機械的強度の低下に起因する。第2は、配線以外の領域全てを空洞にすることにより、チップに切り出した際に周辺の保護がなされないという問題である。

【0010】また、異なる配線層間に存在する層間領域を空洞化する場合にも、空洞化することによって機械的強度が低下するという問題が生じる。

【0011】

【発明が解決しようとする課題】このように、集積回路内の配線間容量を低減するために、配線間の領域を空洞にするという提案がなされているが、空洞化することによって機械的強度が低下するという問題があった。

【0012】本発明は、上記従来の課題に対してなされたものであり、配線間容量を低減することができ、しかも機械的強度に優れた半導体装置及びその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明に係る半導体装置は、同一配線層に形成された配線間に、空洞領域と絶縁膜からなる領域とが設けられていることを特徴とする（発明A）。

【0014】本発明によれば、同一配線層（配線レイヤ）に形成された配線間に空洞領域と絶縁膜からなる領域とが設けられているので、空洞領域によって配線間容量を低減することができるとともに、絶縁膜からなる領域によって機械的強度を確保することができる。特に、配線間容量が問題となる配線間隔の狭い領域では空洞領域を主体とし、機械的強度が問題となる配線間隔の広い領域では絶縁膜からなる領域を主体とすることにより、配線間容量の低減と機械的強度の向上を効果的に達成することができる。

【0015】前記発明において、前記空洞領域は、同一配線層に形成された互いに隣接する配線間の領域のうち少なくとも配線に近い側の領域に設けられていることが好ましい。これは、互いに隣接する配線間の領域において、該領域の全体が空洞領域であっても一部が空洞領域であってもよいことを意味する。具体的には、配線間隔が一定以下の領域では配線間の領域全体を空洞領域とし、配線間隔が一定以上の領域では配線横の領域を空洞領域としてそれ以外の領域を絶縁膜からなる領域とする、といった態様があげられる。

【0016】なお、前記発明において、空洞領域の内部には、少なくとも酸素と二酸化炭素を含む混合ガス或いは空気が満たされていることが好ましい。

【0017】本発明に係る半導体装置の製造方法は、半導体基板の主面側の配線層に配線を形成するとともに配線間の領域に絶縁膜及び空洞形成用材料膜を形成する工程と、前記空洞形成用材料膜を選択的に除去して空洞領域を形成する工程とを有することを特徴とする（発明B）。

【0018】本発明の具体的な方法としては、以下の態様があげられる。

【0019】半導体基板の主面側の配線層に空洞形成用材料膜を形成する工程と、前記空洞形成用材料膜の絶縁膜充填用領域を除去する工程と、この除去された領域に充填用絶縁膜を形成する工程と、前記空洞形成用材料膜の絶縁膜非充填用領域の一部を除去して配線溝を形成する工程と、この配線溝に配線材料を充填して配線を形成する工程と、前記配線、充填用絶縁膜及び空洞形成用材料膜が形成された配線層上に支え用絶縁膜を形成する工程と、この支え用絶縁膜を形成する工程の後に空洞形成用材料膜を除去して空洞領域を形成する工程とを有する。

【0020】半導体基板の主面側の配線層に空洞形成用材料膜を形成する工程と、前記空洞形成用材料膜の絶縁膜非充填用領域の一部を除去して配線溝を形成する工程

と、この配線溝に配線材料を充填して配線を形成する工程と、前記空洞形成用材料膜の絶縁膜充填用領域を除去する工程と、この除去された領域に充填用絶縁膜を形成する工程と、前記配線、充填用絶縁膜及び空洞形成用材料膜が形成された配線層上に支え用絶縁膜を形成する工程と、この支え用絶縁膜を形成する工程の後に空洞形成用材料膜を除去して空洞領域を形成する工程とを有する。

【0021】なお、前記発明において、空洞形成用材料膜は、酸化によってガス化する材料を用いて形成されることが好ましく、また、配線に用いる配線材料を成膜する際の温度で固体であることが好ましい。

【0022】また、前記発明において、空洞形成用材料膜は炭素膜であり、この炭素膜を灰化除去することにより、空洞領域内に少なくとも酸素と二酸化炭素を含む混合ガスを充填させることが好ましい。

【0023】また、前記発明の各態様において、絶縁膜非充填用領域のパターンは配線溝のパターンを太らせたパターンであることが好ましい。この場合、第1の方法として、空洞形成用材料膜の絶縁膜充填用領域を除去する工程で用いるフォトマスクの絶縁膜非充填用領域に対応するパターンに、配線溝を形成する工程で用いるフォトマスクの配線溝に対応するパターンを太らせたものを用いる方法があげられる。また、第2の方法として、空洞形成用材料膜の絶縁膜充填用領域を除去する工程で用いるフォトマスクに、配線溝を形成する工程で用いるフォトマスクを用い、このフォトマスクを用いてレジストにパターンを転写する際にオーバー露光となる条件で露光を行う方法があげられる。

【0024】本発明に係る半導体装置は、異なる配線層間に、空洞領域と絶縁膜からなる領域とが設けられていることを特徴とする（発明C）。

【0025】本発明によれば、異なる配線層（配線レイヤ）間に空洞領域と絶縁膜からなる領域とが設けられているので、空洞領域によって異なる配線層間の配線間容量を低減することができるとともに、絶縁膜からなる領域によって機械的強度を確保することができる。

【0026】前記発明において、前記空洞領域は、異なる配線層に形成された対向する配線間に対応する領域に設けられていることが好ましい。このように、配線間容量が問題となる対向する配線間に対応する領域では空洞領域を主体とし、それ以外の領域では絶縁膜からなる領域を主体とすることにより、配線間容量の低減と機械的強度の向上を効果的に達成することができる。

【0027】なお、前記発明において、空洞領域の内部には、少なくとも酸素と二酸化炭素を含む混合ガス或いは空気が満たされていることが好ましい。

【0028】本発明に係る半導体装置の製造方法は、半導体基板の主面側の第1の配線層に第1の配線を形成する工程と、前記第1の配線が形成された層の上層側に絶

縁膜及び空洞形成用材料膜を形成する工程と、少なくとも前記絶縁膜が形成された層の上層側の第2の配線層に第2の配線を形成する工程と、前記第2の配線を形成する工程の前又は後に前記空洞形成用材料膜を選択的に除去して空洞領域を形成する工程とを有することを特徴とする（発明D）。

【0029】本発明の具体的な方法としては、以下の態様があげられる。

【0030】半導体基板の主面側の第1の配線層に第1の配線を形成する工程と、第1の配線が形成された層上に第1の支え用絶縁膜を形成する工程と、第1の支え用絶縁膜上に第1の空洞形成用材料膜を形成する工程と、第1の空洞形成用材料膜の絶縁膜充填用領域を除去する工程と、この除去された領域に第1の充填用絶縁膜を形成する工程と、第1の空洞形成用材料膜の絶縁膜非充填用領域の一部を除去して接続孔を形成する工程と、この接続孔に導電材料を充填して接続用導電部を形成する工程と、前記接続用導電部、充填用絶縁膜及び空洞形成用材料膜が形成された層上の第2の配線層に前記接続用導電部に接続される第2の配線を形成するとともに第2の配線間の領域に第2の充填用絶縁膜及び第2の空洞形成用材料膜を形成する工程と、第2の配線が形成された層上に第2の支え用絶縁膜を形成する工程と、第1及び第2の空洞形成用材料膜を同時に除去して第1及び第2の空洞領域を形成する工程とを有する。

【0031】半導体基板の主面側の第1の配線層に第1の配線を形成する工程と、第1の配線が形成された層上に第1の支え用絶縁膜を形成する工程と、第1の支え用絶縁膜上に第1の空洞形成用材料膜を形成する工程と、第1の空洞形成用材料膜の絶縁膜充填用領域を除去する工程と、この除去された領域に第1の充填用絶縁膜を形成する工程と、第1の空洞形成用材料膜の絶縁膜非充填用領域の一部を除去して接続孔を形成する工程と、この接続孔に導電材料を充填して接続用導電部を形成する工程と、前記接続用導電部、充填用絶縁膜及び空洞形成用材料膜が形成された層上に第2の支え用絶縁膜を形成する工程と、第1の空洞形成用材料膜を除去して第1の空洞領域を形成する工程と、第2の支え用絶縁膜上の第2の配線層に前記接続用導電部に接続される第2の配線を形成するとともに第2の配線間の領域に第2の充填用絶縁膜及び第2の空洞形成用材料膜を形成する工程と、第2の配線が形成された層上に第3の支え用絶縁膜を形成する工程と、第2の空洞形成用材料膜を除去して第2の空洞領域を形成する工程とを有する。

【0032】なお、前記発明において、空洞形成用材料膜は、酸化によってガス化する材料を用いて形成されることが好ましく、また、接続用導電材料を成膜する際の温度で固体であることが好ましい。

【0033】また、前記発明において、空洞形成用材料膜は炭素膜であり、この炭素膜を灰化除去することによ

り、空洞領域内に少なくとも酸素と二酸化炭素を含む混合ガスを充填させることが好ましい。

【0034】また、前記発明の各態様において、絶縁膜非充填用領域は第1の配線と第2の配線が対向する（重なる）領域に対応する領域であることが好ましい。この場合、第1の空洞形成用材料膜の絶縁膜充填用領域を除去する工程で用いるフォトリソマスクの絶縁膜非充填用領域に対応するパターンとして、第1の配線を形成するために用いるフォトリソマスクの第1の配線に対応するパターンと、第2の配線を形成するために用いるフォトリソマスクの第2の配線に対応するパターンとの重なる部分に対応したパターンを用いることが好ましい。

【0035】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0036】（実施形態1）まず、本発明の第1の実施形態について、図1（a）～（f）に示した工程断面図を参照して説明する。本実施形態は、多層配線構造における同一配線層内の配線間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図では、素子分離及びMOSFETの形成工程等は省略し、主として多層金属配線の形成に係る工程について示している。

【0037】まず、図1（a）に示すように、素子分離及びMOSFET等が形成された半導体基板（シリコン基板等）101の主面側に、絶縁分離膜102を堆積し、さらに後の工程で気化させるカーボン膜103を堆積する。続いて、カーボン膜103上にレジストを塗布した後、領域104aにはレジスト104を残し、それ以外の領域104bにはレジスト104が残らないようにパターニングする。このときのレジスト104のパターニングは、配線パターンを0.3 μ m太らせるようにデータ加工したフォトリソマスクを用いて行うようにする。これにより、隣接する配線間の間隔が0.6 μ m以下となる領域では、配線に対応するパターン間がつながったようなレジストパターンが形成される。

【0038】次に、図1（b）に示すように、レジストパターン104をマスクとして、ドライエッチング等によりカーボン膜103を加工する。このとき、レジスト104をマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜103を同様に加工することができる。レジスト104を除去した後、基板全面にSOG膜105を塗布する。

【0039】次に、図1（c）に示すように、CMP（化学的機械的研磨）を行い、カーボン膜103上のSOG膜105を除去するとともに、カーボン膜103間のSOG膜105をカーボン膜103と同じ高さになるように平坦化する。続いて、レジスト106を塗布した後、配線パターン形成用のフォトリソマスクを用いてレジス

ト106をパターンニングし、配線溝に対応した溝パターン107を形成する。

【0040】次に、図1(d)に示すように、レジスト106をマスクとして、ドライエッチングによりカーボン膜103に配線溝を形成する。配線溝を形成した後、レジストを除去し、基板全面に配線金属となるアルミニウム-銅合金膜108を堆積する。

【0041】次に、図1(e)に示すように、CMPによる平坦化を行う。すなわち、配線溝以外のアルミニウム-銅合金膜108をCMPによって除去し、配線溝内のみアルミニウム-銅合金膜108を残置させる。その後、支えとなる支え絶縁膜109を基板全面に堆積する。ここでは、支え絶縁膜109として塗布型の無機SOG膜を用いる。

【0042】次に、図1(f)に示すように、酸素アニールによりカーボン膜103をアッシング除去して空洞110を形成する。アニールは、400℃で120分、酸素雰囲気で行う。空洞110内には、酸素と二酸化炭素を主成分とする混合ガスが満たされることになる。本工程により、アルミニウム-銅合金膜108からなる配線横の領域には幅0.3μmの空洞110が形成される。また、隣接する配線間の間隔が0.6μm以下となる領域ではSOG膜105のない空洞110のみが形成される。

【0043】以上の工程により、配線間容量が問題となる配線間隔の狭い領域では主として空洞によって配線間が分離され、配線間隔の広い領域では主として絶縁膜によって配線間が分離されることになる。したがって、配線間隔が狭い(特に0.2μm以下)領域を有する集積回路に適用することにより、配線間容量を大幅に低減することが可能となり、また配線間隔の広い領域での機械的強度を増すことが可能となる。

【0044】(実施形態2)次に、本発明の第2の実施形態について説明する。本実施形態も、多層配線構造における同一配線層内の配線間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図面については第1の実施形態で用いたものを使用することができるため、図1(a)～(f)を参照して本実施形態の製造工程を説明する。

【0045】まず、図1(a)に示すように、素子分離及びMOSFET等が形成された半導体基板(シリコン基板等)101の主面側に、絶縁分離膜102を堆積し、さらに後の工程で気化させるカーボン膜103を堆積する。続いて、カーボン膜103上にレジストを塗布した後、領域104aにはレジスト104を残し、それ以外の領域104bにはレジスト104が残らないようにパターンニングする。このときのレジスト104のパターンニングは、配線パターン形成用のフォトマスクを用いて、配線パターンを形成するときとは反対のタイプのフォトレジストを用いて行う。本実施形態では、配線パタ

ーンの形成にはポジ型のレジストを用いるため、本工程ではネガ型のレジストを用いる。そして、通常の露光量よりも多い露光量でレジスト104をオーバー露光することで、隣接する配線間の間隔が狭い領域では、配線に対応するパターン間がつながったようなレジストパターンが形成される。露光量を調整することによりオーバー露光される領域の幅を調整することも可能である。

【0046】以後の図1(b)～(f)の工程は、第1の実施形態と同様であり、ここではこれらの工程についての説明は省略する。

【0047】本実施形態においても、第1の実施形態と同様、配線間容量が問題となる配線間隔の狭い領域では主として空洞によって配線間が分離され、配線間隔の広い領域では主として絶縁膜によって配線間が分離されることになる。また、本実施形態では、工程(a)でレジストパターン104を形成する際に、第1の実施形態とは異なり、配線パターン形成用のマスクをそのまま用いることができるという利点がある。

【0048】(実施形態3)次に、本発明の第3の実施形態について、図2(a)～(f)に示した工程断面図を参照して説明する。本実施形態も、多層配線構造における同一配線層内の配線間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図では、素子分離及びMOSFETの形成工程等は省略し、主として多層金属配線の形成に係る工程について示している。

【0049】まず、図2(a)に示すように、素子分離及びMOSFET等が形成された半導体基板(シリコン基板等)201の主面側に、絶縁分離膜202を堆積し、さらに後の工程で気化させるカーボン膜203を堆積する。続いて、レジスト204を塗布した後、配線パターン形成用のマスクを用いてレジスト204をパターンニングし、配線溝に対応した溝パターン205を形成する。

【0050】次に、図2(b)に示すように、レジスト204をマスクとして、ドライエッチングによりカーボン膜203に配線溝を形成する。配線溝を形成した後、レジストを除去し、基板全面に配線金属となるアルミニウム-銅合金膜206を堆積する。

【0051】次に、図2(c)に示すように、CMPによる平坦化を行う。すなわち、配線溝以外のアルミニウム-銅合金膜206をCMPによって除去し、配線溝内のみアルミニウム-銅合金膜206を残置させる。続いて、レジストを塗布した後、領域207aにはレジスト207を残し、それ以外の領域207bにはレジスト207が残らないようにパターンニングする。このときのレジスト207のパターンニングは、配線パターンを0.3μm太らせるようにデータ加工したフォトマスクを用いて行うようにする。これにより、隣接する配線間の間隔が0.6μm以下となる領域では、配線に対応するパタ

ーン間がつながったようなレジストパターンが形成される。

【0052】次に、図2(d)に示すように、レジストパターン207をマスクとして、ドライエッチング等によりカーボン膜203を加工する。このとき、レジスト207をマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜203を同様に加工することができる。レジスト207を除去した後、基板全面にSOG膜208を塗布する。

【0053】次に、図2(e)に示すように、CMPを行い、カーボン膜203上及びアルミニウム-銅合金膜206上のSOG膜208を除去するとともに、カーボン膜203間のSOG膜208をカーボン膜203と同じ高さになるように平坦化する。その後、支え絶縁膜209を基板全面に堆積する。ここでは、支え絶縁膜209として塗布型の無機SOG膜を用いる。

【0054】次に、図2(f)に示すように、酸素アニールによりカーボン膜203をアッシング除去して空洞210を形成する。アニールは、400℃で120分、酸素雰囲気で行う。空洞210内には、酸素と二酸化炭素を主成分とする混合ガスが満たされることになる。本工程により、アルミニウム-銅合金膜206からなる配線横の領域には幅0.3μmの空洞210が形成される。また、隣接する配線間の間隔が0.6μm以下となる領域ではSOG膜208のない空洞210のみが形成される。

【0055】以上の工程により、配線間容量が問題となる配線間隔の狭い領域では主として空洞によって配線間が分離され、配線間隔の広い領域では主として絶縁膜によって配線間が分離されることになる。

【0056】(実施形態4)次に、本発明の第4の実施形態について説明する。本実施形態も、多層配線構造における同一配線層内の配線間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図面については第3の実施形態で用いたものを使用することができるため、図2(a)～(f)を参照して本実施形態の製造工程を説明する。

【0057】図2(a)～(b)の工程は、第3の実施形態と同様であり、ここではこれらの工程についての説明は省略する。

【0058】図2(b)の工程の後、図2(c)に示すように、CMPによる平坦化を行う。すなわち、配線溝以外のアルミニウム-銅合金膜206をCMPによって除去し、配線溝内のみアルミニウム-銅合金膜206を残置させる。続いて、レジストを塗布した後、領域207aにはレジスト207を残し、それ以外の領域207bにはレジスト207が残らないようにパターニングする。このときのレジスト207パターニングは、配線パターン形成用のフォトマスクを用いて、配線パターン

を形成するときとは反対のタイプのフォトリソレジストを用いて行う。本実施形態では、配線パターンの形成にはポジ型のレジストを用いるため、本工程ではネガ型のレジストを用いる。そして、通常の露光量よりも多い露光量でレジスト207をオーバー露光することで、隣接する配線間隔の狭い領域では、配線に対応するパターン間がつながったようなレジストパターンが形成される。露光量を調整することによりオーバー露光される領域の幅を調整することも可能である。

【0059】以後の図2(d)～(f)の工程は、第3の実施形態と同様であり、ここではこれらの工程についての説明は省略する。

【0060】本実施形態においても、第3の実施形態と同様、配線間容量が問題となる配線間隔の狭い領域では主として空洞によって配線間が分離され、配線間隔の広い領域では主として絶縁膜によって配線間が分離されることになる。また、本実施形態では、工程(c)でレジストパターン207を形成する際に、第3の実施形態とは異なり、配線パターン形成用のマスクをそのまま用いることができるという利点がある。

【0061】(実施形態5)次に、本発明の第5の実施形態について、図3(a)～(f)に示した工程断面図を参照して説明する。本実施形態は、多層配線構造における異なる配線層間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図では、素子分離及びMOSFETの形成工程等は省略し、主として多層金属配線の形成に係る工程について示している。

【0062】まず、図3(a)に示すように、前述した実施形態1～4で説明したいずれかの方法により、下層側の配線領域を形成する。ここで、301は半導体基板(シリコン基板等)、302は絶縁分離膜、303は下層側の配線となるアルミニウム-銅合金膜、304はSOG膜、305は支え絶縁膜、306はカーボン膜をアッシング除去した後の空洞である。

【0063】次に、図3(b)に示すように、基板全面にカーボン膜307を堆積後、レジスト308の塗布及びパターニングを行う。このとき、下層配線(n層)と上層配線(n+1層)とが重なる部分に対応する領域308aにレジストを残し、それ以外の領域308bのレジストを除去するようにする。具体的には、上層配線のマスクデータと下層配線のマスクデータを演算処理して、両配線のAND部分に対応した領域のマスクを作製し、このマスクを用いてレジスト308のパターニングを行う。

【0064】次に、図3(c)に示すように、レジスト308をマスクとしてカーボン膜307をドライエッチングによって加工する。このとき、レジストをマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてド

ライエッチング加工してもカーボン膜307を同様に加工することができる。レジスト308を除去した後、基板全面にSOG膜309を塗布する。

【0065】次に、図3(d)に示すように、カーボン膜307上のSOG膜309をCMP等の方法で除去し、カーボン膜307とSOG膜309の高さを揃えて平坦化する。その後、レジスト310を塗布し、層間接続孔のマスキングとなるようにレジスト310をパターニングする。

【0066】次に、図3(e)に示すように、レジスト310をマスクとしてカーボン膜307をドライエッチングによって加工し、層間接続孔を形成する。このとき、レジストをマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜307を同様に加工することができる。レジスト310を除去した後、基板全面にプラグとなるアルミニウム-銅合金膜311を堆積する。このとき、リフロースパッタ等の方法を用いて、層間接続孔にアルミニウム-銅合金膜311が充填されるようにする。

【0067】次に、図3(f)に示すように、層間接続孔以外のアルミニウム-銅合金膜311をCMP等の方法によって除去する。その後、実施形態1~4で説明したいずれかの方法と同様の方法を用い、上層側の配線領域にカーボン膜(図示せず)、SOG膜312、アルミニウム-銅合金膜313からなる上層側の配線、さらに上層側の支え絶縁膜314等を形成する。その後、上下の配線層間に形成されたカーボン膜及び同一配線層に形成された配線間のカーボン膜を同時にアッシング除去し、空洞315及び316とする。アニールは、400℃で120分、酸素雰囲気で行う。空洞内には、酸素と二酸化炭素を主成分とする混合ガスが満たされることになる。

【0068】以上の工程を行うことにより、配線間容量の問題となる上下の配線が重なる領域では主として空洞によって配線間が分離され、上下の配線が重ならない領域では主として絶縁膜によって上下の配線層間が分離されることになる。

【0069】(実施形態6)次に、本発明の第6の実施形態について、図4(a)~(f)に示した工程断面図を参照して説明する。本実施形態も、多層配線構造における異なる配線層間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図では、素子分離及びMOSFETの形成工程等は省略し、主として多層金属配線の形成に係る工程について示している。

【0070】まず、図4(a)に示すように、前述した実施形態1~4で説明したいずれかの方法により、下層側の配線領域を形成する。ここで、401は半導体基板(シリコン基板等)、402は絶縁分離膜、403は下

層側の配線となるアルミニウム-銅合金膜、404はSOG膜、405は支え絶縁膜、406はカーボン膜をアッシング除去した後の空洞である。その後、基板全面にカーボン膜407を堆積後、レジスト408の塗布及びパターニングを行う。このとき、下層配線(n層)と上層配線(n+1層)とが重なる部分に対応する領域408aにレジストを残し、それ以外の領域408bのレジストを除去するようにする。具体的には、上層配線のマスクデータと下層配線のマスクデータを演算処理して、両配線のAND部分に対応した領域のマスクを作製し、このマスクを用いてレジスト408のパターニングを行う。

【0071】次に、図4(b)に示すように、レジスト408をマスクとしてカーボン膜407をドライエッチングによって加工する。このとき、レジストをマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜407を同様に加工することができる。レジスト408を除去した後、基板全面にSOG膜409を塗布する。

【0072】次に、図4(c)に示すように、カーボン膜407上のSOG膜409をCMP等の方法で除去し、カーボン膜407とSOG膜409の高さを揃えて平坦化する。その後、レジスト410を塗布し、層間接続孔のマスキングとなるようにレジスト410をパターニングする。

【0073】次に、図4(d)に示すように、レジスト410をマスクとしてカーボン膜407をドライエッチングによって加工し、層間接続孔を形成する。このとき、レジストをマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜407を同様に加工することができる。レジスト410を除去した後、基板全面にプラグとなるアルミニウム-銅合金膜411を堆積する。このとき、リフロースパッタ等の方法を用いて、層間接続孔にアルミニウム-銅合金膜411が充填されるようにする。

【0074】次に、図4(e)に示すように、層間接続孔以外のアルミニウム-銅合金膜411をCMP等の方法によって除去し、さらに基板全面に支え絶縁膜412として塗布膜を形成する。その後、酸素アニールによりカーボン膜407をアッシング除去し、空洞413を形成する。アニールは、400℃で120分、酸素雰囲気で行う。空洞内には、酸素と二酸化炭素を主成分とする混合ガスが満たされることになる。

【0075】次に、図4(f)に示すように、実施形態1~4で説明したいずれかの方法と同様の方法を用い、上層側の配線領域にカーボン膜(図示せず)、SOG膜414、アルミニウム-銅合金膜415からなる上層側の配線、さらに支え絶縁膜416を形成する。その後、

上層側の配線層の配線間に形成されたカーボン膜をアッシング除去し、空洞417を形成する。

【0076】本実施形態においても、第5の実施形態と同様、配線間容量の問題となる上下の配線が重なる領域では主として空洞によって配線間が分離され、上下の配線が重ならない領域では主として絶縁膜によって上下の配線層間が分離されることになる。

【0077】(実施形態7)次に、本発明の第7の実施形態について、図5(a)～(f)に示した工程断面図を参照して説明する。本実施形態は、多層配線構造における同一配線層内の配線間の領域を、空洞領域と絶縁膜が形成された領域によって構成するものである。なお、図では、素子分離及びMOSFETの形成工程等は省略し、主として多層金属配線の形成に係る工程について示している。

【0078】まず、図5(a)に示すように、素子分離及びMOSFET等が形成された半導体基板(シリコン基板等)501の主面側に、絶縁分離膜502を堆積し、さらに後の工程で気化させるカーボン膜503を堆積する。続いて、カーボン膜503上にレジストを塗布した後、配線パターン間隔が狭くなる領域504aにはレジスト504を残し、配線を形成しない領域及び配線パターン間隔が広くなる領域504bにはレジスト504が残らないようにパターニングする。このときのレジスト504のパターニングは、配線パターンのデータを参考にして作製されたフォトマスクを用いて行うようにする。

【0079】次に、図5(b)に示すように、レジストパターン504をマスクとして、ドライエッチング等によりカーボン膜503を加工する。このとき、レジスト504をマスクとして加工する方法以外にも、レジストパターンをハードマスクに転写しておき、ハードマスクをマスクとしてドライエッチング加工してもカーボン膜503を同様に加工することができる。レジスト504を除去した後、基板全面にSOG膜505を塗布する。

【0080】次に、図5(c)に示すように、CMPを行い、カーボン膜503上のSOG膜505を除去するとともに、カーボン膜503間のSOG膜505をカーボン膜503と同じ高さになるように平坦化する。続いて、レジスト506を塗布した後、配線パターン形成用のフォトマスクを用いてレジスト506をパターニングし、配線溝に対応した溝パターン507を形成する。

【0081】次に、図5(d)に示すように、レジスト506をマスクとして、ドライエッチングによりカーボン膜503に配線溝を形成する。配線溝を形成した後、レジストを除去し、基板全面に配線金属となるアルミニウム-銅合金膜508を堆積する。

【0082】次に、図5(e)に示すように、CMPによる平坦化を行う。すなわち、配線溝以外のアルミニウム-銅合金膜508をCMPによって除去し、配線溝内

のみにアルミニウム-銅合金膜508を残置させる。その後、支え絶縁膜509を基板全面に堆積する。ここでは、支え絶縁膜509として塗布型の無機SOG膜を用いる。

【0083】次に、図5(f)に示すように、酸素アニールによりカーボン膜503をアッシング除去して空洞510を形成する。アニールは、400℃で120分、酸素雰囲気で行う。空洞510内には、酸素と二酸化炭素を主成分とする混合ガスが満たされることになる。

【0084】以上の工程により、配線間容量が問題となる配線間隔の狭い領域では空洞によって配線間が分離され、配線間隔の広い領域では主として絶縁膜によって配線間が分離されることになる。

【0085】なお、上記各実施形態では、空洞形成用のカーボン膜を酸素アニールによってアッシング除去するようにしたが、高温下(例えば350℃程度)でカーボンを水素ラジカルと反応させてカーボン膜を除去するようにしてもよい。また、空洞形成用の膜としてカーボン膜の代わりにポリイミド膜を用い、酸素アニールによってポリイミド膜をアッシング除去するようにしてもよい。

【0086】また、上記各実施形態では、配線間の絶縁膜として塗布膜であるSOG膜を用いたが、CVD等によって成膜するシリコン酸化膜等を用いてもよい。また、支え絶縁膜にも無機塗布膜以外の絶縁膜を用いることが可能である。さらに、配線金属もアルミニウム-銅合金に限らず、金、銀、銅といった金属やタングステン、モリブデン等の高融点金属を用いることが可能である。

【0087】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0088】

【発明の効果】本発明によれば、同一配線層に形成された配線間、或いは異なる配線層間に、空洞領域と絶縁膜からなる領域とが設けられているので、空洞領域によって配線間容量を低減することができるとともに、絶縁膜からなる領域によって機械的強度を確保することができる。

【図面の簡単な説明】

【図1】本発明の第1及び第2の実施形態に係る半導体装置の製造工程について示した工程断面図。

【図2】本発明の第3及び第4の実施形態に係る半導体装置の製造工程について示した工程断面図。

【図3】本発明の第5の実施形態に係る半導体装置の製造工程について示した工程断面図。

【図4】本発明の第6の実施形態に係る半導体装置の製造工程について示した工程断面図。

【図5】本発明の第7の実施形態に係る半導体装置の製

造工程について示した工程断面図。

【符号の説明】

101、201、301、401、501…半導体基板
102、202、302、402、502…絶縁分離膜
103、203、307、407、503…カーボン膜
104、106、204、207、308、310、408、410、504、506…レジスト
105、208、304、309、312、404、4

09、414、505…SOG膜

107、205、507…溝パターン

108、206、303、311、313、403、4

11、415、508…Al-Cu合金膜

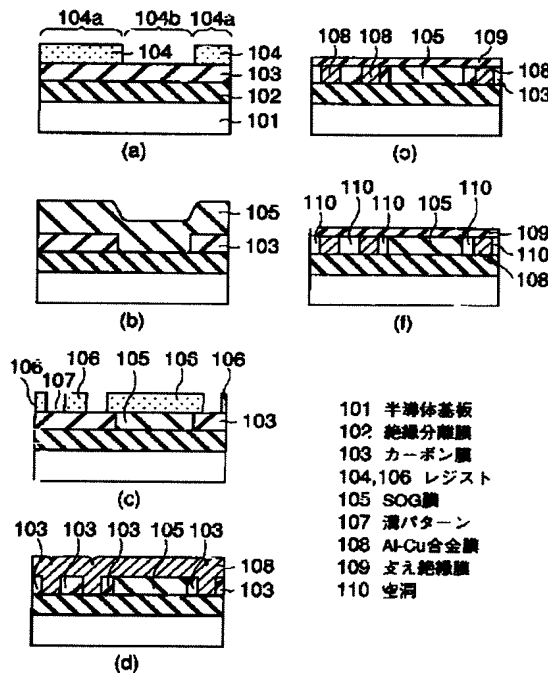
109、209、305、314、405、412、4

16、509…支え絶縁膜

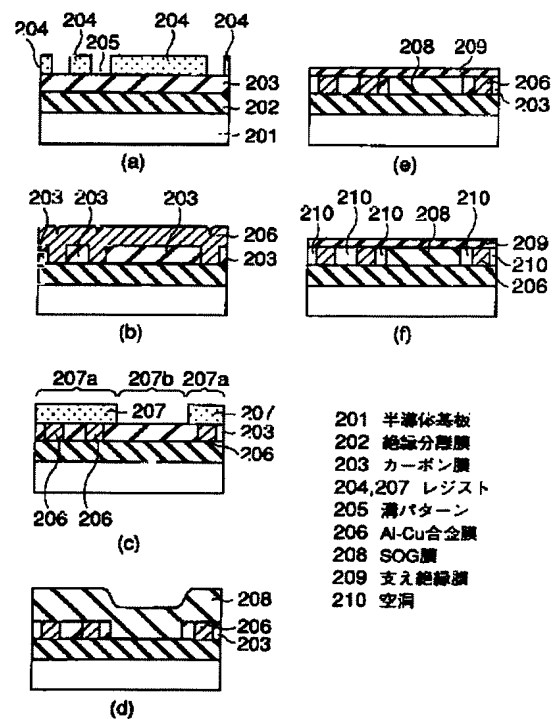
110、210、306、315、316、406、4

13、417、510…空洞

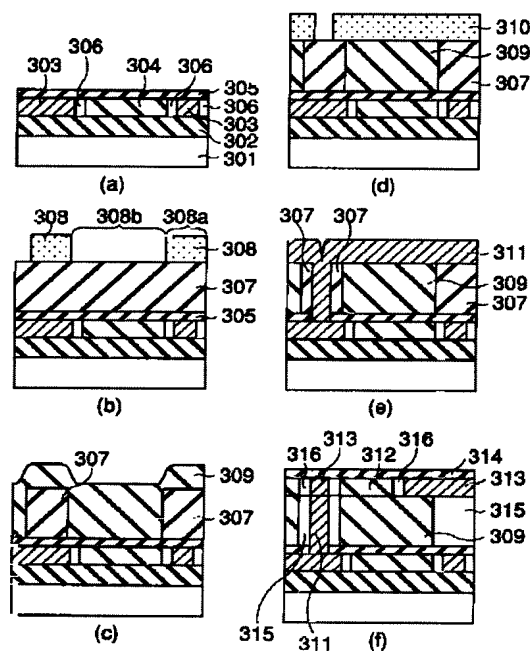
【図1】



【図2】

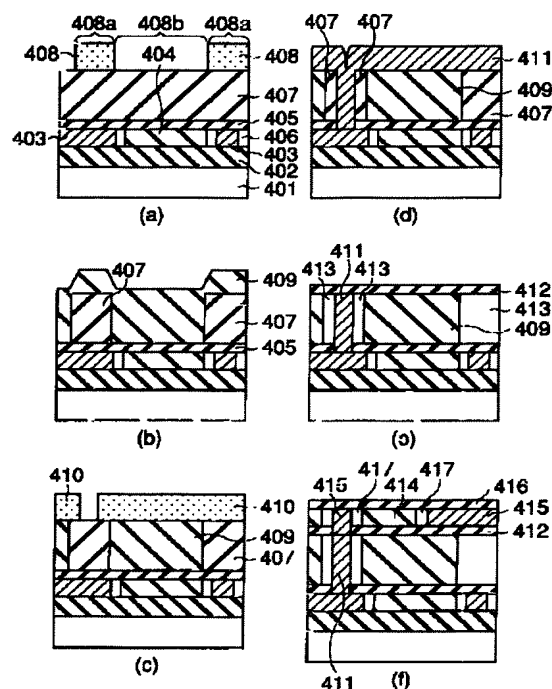


【図3】



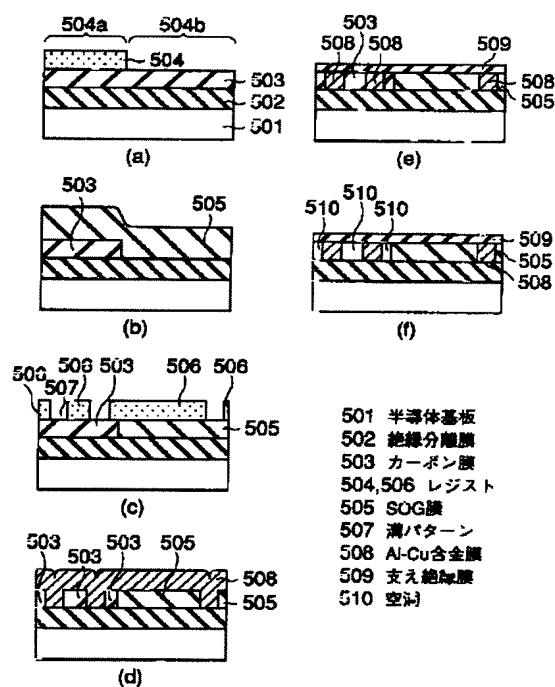
- 301 半導体基板
302 絶縁分離膜
303,311,313 Al-Cu合金膜
304,309,312 SOG膜
305,314 支え絶縁膜
306,315,316 空洞
307 カーボン膜
308,310 レジスト

【図4】



- 401 半導体基板
402 絶縁分離膜
403,411,415 Al-Cu合金膜
404,409,414 SOG膜
405,412,416 支え絶縁膜
406,413,417 空洞
407 カーボン膜
408,410 レジスト

【図5】



- 501 半導体基板
502 絶縁分離膜
503 カーボン膜
504,506 レジスト
505 SOG膜
507 溝パターン
508 Al-Cu合金膜
509 支え絶縁膜
510 空洞

(1) 00-260864 (P2000-260864A)

フロントページの続き

F ターム(参考) 5F033 HH09 HH11 HH13 HH14 HH19
HH20 MM01 PP18 QQ01 QQ09
QQ48 QQ74 RR04 RR09 RR29
RR30 SS11 SS21 XX01 XX24
XX25 XX27